

特開平9-154285

(43) 公開日 平成9年(1997)6月10日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 M 7/48		9181-5H	H 0 2 M 7/48	Y
		9181-5H		L
	7/06	8726-5H	7/06	A
	7/538	9181-5H	7/538	A
H 0 5 B 41/24			H 0 5 B 41/24	L
審査請求 未請求 請求項の数20 O L (全 24 頁)				

(21) 出願番号 特願平7-310268

(22) 出願日 平成7年(1995)11月29日

(71) 出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72) 発明者 神倉 敏也

大阪府門真市大字門真1048番地松下電工株式会社内

(72) 発明者 平松 明則

大阪府門真市大字門真1048番地松下電工株式会社内

(72) 発明者 三嶋 正徳

大阪府門真市大字門真1048番地松下電工株式会社内

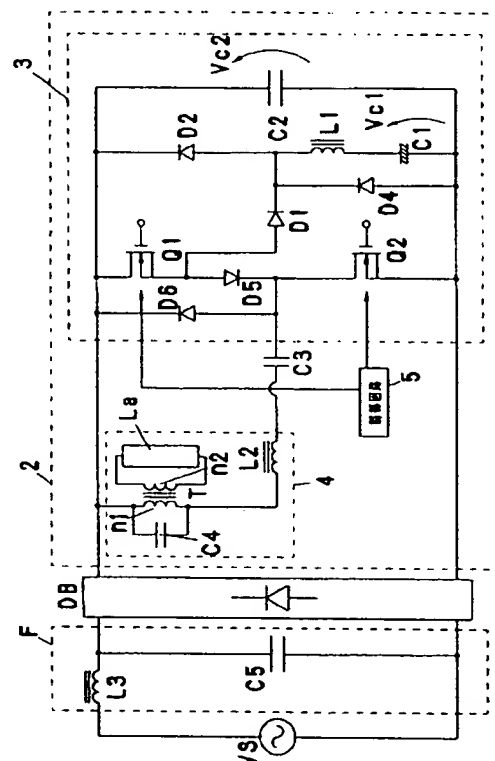
(74) 代理人 弁理士 佐藤 成示 (外1名)

(54) 【発明の名称】 電源装置

(57) 【要約】

【課題】 インバータ回路にかかる電圧ストレス及び電流ストレスを低減可能とし、装置の小型化及びコストダウン可能であると共に、入力効率改善可能、入力電流歪み改善可能、電源投入時の突入電流の抑制可能な電源装置を提供する。

【解決手段】 平滑コンデンサC1を含むと共に交流電源Vsを整流する整流器DBの直流電力出力の谷部を谷埋めする谷埋め電源回路3と、負荷4への供給電力の直流成分をカットする直流成分カット用コンデンサC3と、スイッチング素子Q1、Q2の直列回路とを少なくとも備え、スイッチング素子Q1、Q2の交互のオンオフにより負荷4に高周波電力を供給するインバータ回路2を備え、交流電源Vsが投入されてからインバータ回路2の発振開始までの間は、直流成分カット用コンデンサC3へ充電される電荷量を略零とした。



【特許請求の範囲】

【請求項1】 少なくとも部分平滑コンデンサを含むと共に交流電源を整流する整流器の直流電力出力の谷部を谷埋めする谷埋め電源回路と、負荷への供給電力の直流成分をカットする直流成分カット用コンデンサと、少なくとも1つのスイッチング素子とを備え、前記スイッチング素子のオンオフにより前記負荷に高周波電力を供給するインバータ回路を備える電源装置に於いて、交流電源が投入されてから前記インバータ回路の発振開始までの間は、前記直流成分カット用コンデンサへ充電される電荷量は略零とすることを特徴とする電源装置。

【請求項2】 交流電源が投入されてから前記インバータ回路の発振開始までの間は、前記直流成分カット用コンデンサへ充電される電荷量を略零とする手段は、前記スイッチング素子と、前記部分平滑コンデンサの充電方向に対して逆向きに接続されたダイオードとからなることを特徴とする請求項1記載の電源装置。

【請求項3】 前記部分平滑コンデンサの充電電流を限流する限流要素を設けたことを特徴とする請求項1または請求項2に記載の電源装置。

【請求項4】 少なくとも部分平滑コンデンサを含むと共に交流電源を整流する整流器の直流電力出力の谷部を谷埋めする谷埋め電源回路と、負荷への供給電力の直流成分をカットする直流成分カット用コンデンサと、少なくとも1つのスイッチング素子とを備え、前記スイッチング素子のオンオフにより前記負荷に高周波電力を供給するインバータ回路を備える電源装置に於いて、前記部分平滑コンデンサの充電電流を限流する限流要素を設けたことを特徴とする電源装置。

【請求項5】 交流電源が投入されてから前記インバータ回路の発振開始までの間に、前記部分平滑コンデンサを所定値まで充電する充電回路を設けたことを特徴とする請求項1から請求項4のいずれかに記載の電源装置。

【請求項6】 少なくとも部分平滑コンデンサを含むと共に交流電源を整流する整流器の直流電力出力の谷部を谷埋めする谷埋め電源回路と、負荷への供給電力の直流成分をカットする直流成分カット用コンデンサと、少なくとも1つのスイッチング素子とを備え、前記スイッチング素子のオンオフにより前記負荷に高周波電力を供給するインバータ回路を備える電源装置に於いて、交流電源が投入されてから前記インバータ回路の発振開始までの間に、前記部分平滑コンデンサを所定値まで充電する充電回路を設けたことを特徴とする電源装置。

【請求項7】 前記限流要素はインピーダンス素子であることを特徴とする請求項1から請求項4のいずれかに記載の電源装置。

【請求項8】 前記限流要素はサーミスタであることを特徴とする請求項1から請求項4のいずれかに記載の電源装置。

【請求項9】 前記充電回路は、前記部分平滑コンデン

サよりも小さい容量を有する第1のコンデンサを含んでなることを特徴とする請求項5または請求項6に記載の電源装置。

【請求項10】 前記第1のコンデンサの両端電圧は、前記スイッチング素子を制御する制御回路の制御電源とすることを特徴とする請求項9記載の電源装置。

【請求項11】 前記第1のコンデンサの充電電荷の放電用素子を設けたことを特徴とする請求項9または請求項10に記載の電源装置。

【請求項12】 前記放電用素子はインピーダンス素子であることを特徴とする請求項11記載の電源装置。

【請求項13】 前記放電用素子はサーミスタであることを特徴とする請求項11記載の電源装置。

【請求項14】 前記インバータ回路は、前記整流器の出力端に前記負荷を介して高周波出力の一部を帰還する高周波出力帰還手段を含み構成されるものであることを特徴とする請求項1から請求項6のいずれかに記載の電源装置。

【請求項15】 前記負荷は、少なくとも放電灯を含んでなることを特徴とする請求項1から請求項14のいずれかに記載の電源装置。

【請求項16】 前記負荷は、少なくとも放電灯と共振回路とを含んでなることを特徴とする請求項1から請求項14のいずれかに記載の電源装置。

【請求項17】 前記スイッチング素子は、双方向スイッチング素子であることを特徴とする請求項1から請求項16のいずれかに記載の電源装置。

【請求項18】 前記スイッチング素子は、ボディードायオードを有するものであることを特徴とする請求項1から請求項16のいずれかに記載の電源装置。

【請求項19】 前記スイッチング素子は、逆並列接続ダイオードを有するものであることを特徴とする請求項1から請求項16のいずれかに記載の電源装置。

【請求項20】 前記インバータ回路は、ハーフブリッジ式インバータ回路であることを特徴とする請求項1から請求項14のいずれかに記載の電源装置。

【発明の詳細な説明】

【0001】

【発明の属する利用分野】本発明は電源装置に関するものであり、更に詳しくは、交流電源を整流して得られる直流出力を交流電力に変換して負荷に供給する電源装置に関する。

【0002】

【従来の技術】

(従来例1) 本発明に係る第1従来例として、特開昭59-220081号公報に示したものがあり、その概略回路図を図19に、その動作波形図を図20に示す。

【0003】本回路は、交流電源 V_s をフィルター回路Fを介して整流器DBで整流して得られる直流出力を、インバータ回路2で交流電力に変換して負荷である放電

10

20

30

40

50

灯 L_a に供給する電源装置である。

【0004】ここでフィルタ回路 F は、交流電源 V_s の一端に接続されたインダクタンス素子 L_3 と、インダクタンス素子 L_3 を介して交流電源 V_s の両端に並列接続されたコンデンサ C_5 とから構成される。インバータ回路 2 は、スイッチング素子 Q_1 、 Q_2 の直列接続と、スイッチング素子 Q_1 、 Q_2 の直列接続の両端に並列接続されたコンデンサ C_2 と、スイッチング素子 Q_1 、 Q_2 の直列接続の両端に並列接続されたダイオード D_2 、インダクタンス素子 L_1 、平滑コンデンサ C_1 の直列接続と、スイッチング素子 Q_1 、 Q_2 の接点及びダイオード D_2 、インダクタンス素子 L_1 の接点間に接続されたダイオード D_1 と、スイッチング素子 Q_1 、 Q_2 の接点及び整流器 DB の正の出力端子間に接続された負荷 4、直流成分カット用コンデンサ C_3 の直列接続とから構成され、スイッチング素子 Q_1 、 Q_2 とが交互にオンオフを繰り返すことにより負荷である放電灯 L_a を高周波点灯させるハーフブリッジ式インバータ回路である。なお、スイッチング素子 Q_1 、 Q_2 は制御回路 5 により制御される。また、スイッチング素子 Q_1 、 Q_2 、インダクタンス素子 L_1 、部分平滑コンデンサ C_1 、ダイオード D_1 、 D_2 からインバータ回路 2 に直流電圧を供給する谷埋め電源回路 3 が構成される。負荷 4 は、部分平滑コンデンサ C_1 及び整流器 DB の正の出力端子間に接続されたトランス T の 1 次巻線 n_1 、インダクタンス素子 L_2 の直列接続と、トランス T の 1 次巻線 n_1 の両端に並列接続された共振用コンデンサ（以下、コンデンサと呼ぶ。） C_4 と、トランス T の 2 次巻線 n_2 の両端に並列接続された放電灯 L_a とから構成される。更に、直流成分カット用コンデンサ C_3 、インダクタンス素子 L_2 、トランス T の 1 次巻線 n_1 もしくはコンデンサ C_4 からなる直列接続により、インバータ回路 2 の高周波出力の一部を整流器 DB の出力端に帰還する高周波出力帰還手段を構成する。

【0005】以下に簡単に動作を説明する。まず、交流電源 V_s の山部近傍（ $V_s \geq V_{c2}$ ）での動作を簡単に説明する。

【0006】スイッチング素子 Q_1 がオン、スイッチング素子 Q_2 がオフすると、交流電源 $V_s \rightarrow$ フィルタ回路 $F \rightarrow$ 整流器 $DB \rightarrow$ スwitching 素子 $Q_1 \rightarrow$ ダイオード $D_1 \rightarrow$ インダクタンス素子 $L_1 \rightarrow$ 部分平滑コンデンサ $C_1 \rightarrow$ 整流器 $DB \rightarrow$ フィルタ回路 $F \rightarrow$ 交流電源 V_s の経路で入力電流が流れると共に、インダクタンス素子 $L_2 \rightarrow$ コンデンサ C_4 、トランス T の 1 次巻線 $n_1 \rightarrow$ スwitching 素子 $Q_1 \rightarrow$ 直流成分カット用コンデンサ $C_3 \rightarrow$ インダクタンス素子 L_2 の経路で共振電流が流れる。スイッチング素子 Q_1 がオフ、スイッチング素子 Q_2 がオンすると、インダクタンス素子 $L_1 \rightarrow$ 部分平滑コンデンサ $C_1 \rightarrow$ スwitching 素子 $Q_2 \rightarrow$ ダイオード $D_1 \rightarrow$ インダクタンス素子 L_1 の経路でインダクタンス素子 L_1 の回

生電流が流れると共に、インダクタンス素子 $L_2 \rightarrow$ コンデンサ C_4 、トランス T の 1 次巻線 $n_1 \rightarrow$ コンデンサ $C_2 \rightarrow$ スwitching 素子 $Q_2 \rightarrow$ 直流成分カット用コンデンサ $C_3 \rightarrow$ インダクタンス素子 L_2 の経路で共振電流、つまりインダクタンス素子 L_2 の回生電流が流れる。やがてインダクタンス素子 L_2 を流れる共振電流の向きが反転してコンデンサ $C_2 \rightarrow$ コンデンサ C_4 、トランス T の 1 次巻線 $n_1 \rightarrow$ インダクタンス素子 $L_2 \rightarrow$ 直流成分カット用コンデンサ $C_3 \rightarrow$ スwitching 素子 $Q_2 \rightarrow$ コンデンサ C_2 の経路で流れる。そして、スイッチング素子 Q_1 がオン、スイッチング素子 Q_2 がオフすると、交流電源 $V_s \rightarrow$ フィルタ回路 $F \rightarrow$ 整流器 $DB \rightarrow$ スwitching 素子 $Q_1 \rightarrow$ ダイオード $D_1 \rightarrow$ インダクタンス素子 $L_1 \rightarrow$ 部分平滑コンデンサ $C_1 \rightarrow$ 整流器 $DB \rightarrow$ フィルタ回路 $F \rightarrow$ 交流電源 V_s の経路で入力電流が流れると共に、インダクタンス素子 $L_2 \rightarrow$ 直流成分カット用コンデンサ $C_3 \rightarrow$ スwitching 素子 $Q_1 \rightarrow$ コンデンサ C_4 、トランス T の 1 次巻線 $n_1 \rightarrow$ インダクタンス素子 L_2 の経路で共振電流、つまりインダクタンス素子 L_2 の回生電流が流れる。

【0007】この場合、コンデンサ C_2 は交流電源 V_s より充電されるので、コンデンサ C_2 の両端電圧 V_{c2} の波形は図 20 (a) に示す様に交流電源 V_s の変化に対して略相似形となる。また、図 20 (b) に示す様な、交流電源 V_s の変化に対して略相似形の波形を有する入力電流 I_{in} は、上述の様にスイッチング素子 Q_1 のオンの時のみ流れ、その電流をフィルタ回路 F でフィルタリングすると、図 20 (b) に示す様な、導通角の広い入力電流 I_{in} が得られ、よって入力力率を改善することが可能である。ランプ電流 I_{La} は、図 20 (c) に示す様に、コンデンサ C_2 の両端電圧 V_{c2} の変化に対して略相似形の包絡線を有する交流の高周波電流波形となる。

【0008】次に、交流電源 V_s の谷部近傍（ $V_s \leq V_{c2}$ ）での動作を簡単に説明する。スイッチング素子 Q_1 がオン、スイッチング素子 Q_2 がオフすると、部分平滑コンデンサ $C_1 \rightarrow$ インダクタンス素子 $L_1 \rightarrow$ ダイオード $D_2 \rightarrow$ コンデンサ $C_2 \rightarrow$ 部分平滑コンデンサ C_1 の経路で谷埋め電流が流れると共に、インダクタンス素子 $L_2 \rightarrow$ コンデンサ C_4 、トランス T の 1 次巻線 $n_1 \rightarrow$ スwitching 素子 $Q_1 \rightarrow$ 直流成分カット用コンデンサ $C_3 \rightarrow$ インダクタンス素子 L_2 の経路で共振電流が流れる。スイッチング素子 Q_1 がオフ、スイッチング素子 Q_2 がオンすると、部分平滑コンデンサ $C_1 \rightarrow$ インダクタンス素子 $L_1 \rightarrow$ ダイオード $D_2 \rightarrow$ コンデンサ $C_2 \rightarrow$ 部分平滑コンデンサ C_1 の経路で谷埋め電流が流れると共に、インダクタンス素子 $L_2 \rightarrow$ コンデンサ C_4 、トランス T の 1 次巻線 $n_1 \rightarrow$ コンデンサ $C_2 \rightarrow$ スwitching 素子 $Q_2 \rightarrow$ 直流成分カット用コンデンサ $C_3 \rightarrow$ インダクタンス素子 L_2 の経路で共振電流、つまりインダクタンス素子 L_2

の回生電流が流れる。やがてインダクタンス素子L2を流れる共振電流の向きが反転してコンデンサC2→コンデンサC4、トランスTの1次巻線n1→インダクタンス素子L2→直流成分カット用コンデンサC3→スイッチング素子Q2→コンデンサC2の経路で流れる。そして、スイッチング素子Q1がオン、スイッチング素子Q2がオフすると、部分平滑コンデンサC1→インダクタンス素子L1→ダイオードD2→コンデンサC2→部分平滑コンデンサC1の経路で谷埋め電流が流れると共に、インダクタンス素子L2→直流成分カット用コンデンサC3→スイッチング素子Q1→コンデンサC4、トランスTの1次巻線n1→インダクタンス素子L2の経路で共振電流、つまりインダクタンス素子L2の回生電流が流れる。

【0009】この場合、コンデンサC2は部分平滑コンデンサC1、負荷4に徐々に電荷を放電するので、コンデンサC2の両端電圧Vc2の波形は図20(a)に示す様に徐々に低下していき、また、図20(b)に示す様に入力電流Iinは流れない。ランプ電流ILaは、図20(c)に示す様に、コンデンサC2の両端電圧Vc2の変化に対して略相似形の包絡線を有する交流の高周波電流波形となる。

【0010】ところで、上述の様に、部分平滑コンデンサC1はスイッチング素子Q1がオンした時にしか充電されず、また部分平滑コンデンサC1の充電経路にはインダクタンス素子L1が挿入されているので、図20

(a)に示す様に、部分平滑コンデンサC1の両端電圧Vc1は交流電源Vsを整流したピーク電圧よりも低い値となる。よって、コンデンサC2の両端電圧Vc2の波形は、図20(a)に示す様なリップルを含む電圧波形となり、ランプ電流ILaの波形も図20(c)に示す様にコンデンサC2の両端電圧Vc2の変化に追従したリップルを含む電流波形となる。

【0011】(従来例2)本発明に係る第2従来例として、特願平6-291751号公報に示したものがあり、その概略回路図を図21に、その動作波形図を図22に示す。

【0012】図19に示した第1従来例と異なる点は、整流器DBの正の出力端子及びスイッチング素子Q1の高電位側との間にコンデンサC6、ダイオードD3の並列回路を挿入したことであり、その他の第1従来例と同一構成には同一符号を付すことより説明を省略する。

【0013】本回路は、交流電源Vsの1周期のほぼ全区間にわたり、スイッチング素子Q1、Q2のオンオフに応じて交流電源Vsからインバータ回路2へ電流が供給されるため、図22(b)に示す様に入力電流Iinの波形を略正弦波状にすることが可能となり、従って、入力力率が高力率で且つ入力電流波形歪の改善が可能となり、高調波成分を大幅に低減することが可能となる。

【0014】ところで、本従来例の場合では、インバー

タ回路2の共振系は交流電源Vsの大きさに応じて変化する。交流電源Vsの山部近傍では、共振系はインダクタンス素子L2、コンデンサC4、トランスTの1次巻線n1、放電灯Laとなり、交流電源Vsの谷部近傍では、共振系はインダクタンス素子L2、コンデンサC4、トランスTの1次巻線n1、放電灯La、コンデンサC6となっている。そのため、図22(c)に示す様なランプ電流ILaが、交流電源Vsのピーク近傍とゼロクロス近傍とで各々最大値に近づく様になる。つまり、コンデンサC2の両端電圧Vc2と交流電源Vsとの大きさに反比例する共振回路を組み合わせることにより、出力の低周波リップルを大幅に低減している。従って、ランプ電流ILaのクレストファクタCF(=ピーク値/実効値)も改善され、それに伴ってランプ力率が改善され、ランプの発光効率も改善される。

【0015】なお、上記第1及び第2従来例のいずれに於いても、スイッチング素子Q1、Q2のいずれかがオンしない限り部分平滑コンデンサC1の充電電流が流れないため、電源投入時の突入電流を抑制することが可能となる。

【0016】

【発明が解決しようとする課題】しかし、上記第1、第2従来例には以下に示す様な(1)～(3)の問題点が生じる。

【0017】(1) 電源投入されてからインバータ回路2が発振を開始するまでの間は、容量の大きな部分平滑コンデンサC1への充電経路が存在しないため、回路全体のインピーダンスが瞬間的に高くなり、図23

(a)に示す様な電源投入時に発生するスイッチサージ等で発生した過電圧コンデンサC2の両端電圧Vc2

(図23(b)に示す)が、インバータ回路2に印加されてしまう。これを回避するには高耐圧の電子部品及び半導体素子などが必要となり、装置の大型化及びコストアップなどを招いてしまう。

【0018】(2) 電源投入されてインバータ回路2が発振を開始すると、スイッチング素子Q1のオン時に部分平滑コンデンサC1は充電するが、部分平滑コンデンサC1の両端電圧Vc1が定常時の電位に至るまでは、部分平滑コンデンサC1の充電経路の直流インピーダンス値が低いため、スイッチング素子Q1、ダイオードD1を介して大きな電流が流れ、半導体素子に大きなストレスがかかってしまう。これを回避するには電流容量の高い半導体素子が必要となり、装置の大型化及びコストアップなどを招いてしまう。

【0019】(3) 電源投入されてからインバータ回路2が発振を開始するまでの間は、図19に示す回路は、図25に示す様な回路と等価となる。この等価回路での交流電源Vs→フィルター回路F→整流器DB→コンデンサC4、トランスTの1次巻線n1→インダクタンス素子L2→直流成分カット用コンデンサC3→ダイ

10

20

30

40

50

オード D 1 → インダクタンス素子 L 1 → 部分平滑コンデンサ C 1 → 整流器 D B → フィルター回路 F → 交流電源 V s の経路の直流インピーダンス要素としては部分平滑コンデンサ C 1 と直流成分カット用コンデンサ C 3 とが存在する。ところが、部分平滑コンデンサ C 1 の容量は直流成分カット用コンデンサ C 3 の容量に比べて極めて大きいので、フィルター回路 F、整流器 D B を介した交流電源 V s はほとんど直流成分カット用コンデンサ C 3 に印加される。一方、スイッチング素子 Q 1、Q 2 がデューティ比 5 0 % で発振をしている定常状態では、コンデンサ C 2 の両端電圧 V c 2 の略半分の電圧が常に直流成分カット用コンデンサ C 3 に印加されている。

【 0 0 2 0 】つまり、電源投入されてからインバータ回路 2 が発振を開始するまでの間と、インバータ回路 2 が発振を開始してから定常状態に至るまでの間とでは、直流成分カット用コンデンサ C 3 の両端電圧 V c 3 には大きな差が発生する。よって、インバータ回路 2 が発振を開始すると、スイッチング素子 Q 1 のオン時に直流成分カット用コンデンサ C 3 に充電された余分な電荷が放出されるため、図 2 6 に示す様な直流成分カット用コンデンサ C 3 → インダクタンス素子 L 2 → コンデンサ C 4、トランス T の 1 次巻線 n 1 → スwitching 素子 Q 1 → 直流成分カット用コンデンサ C 3 の経路で、図 2 4 (b) に示す様な大きな電流 I 1 が流れることになり、スイッチング素子 Q 1 に大きなストレスがかかってしまう。これを回避するには電流容量の高い半導体素子が必要となり、装置の大型化及びコストアップなどを招いてしまう。

【 0 0 2 1 】本発明では、上記問題点に鑑みてなされたものであり、その目的とするところは、インバータ回路 2 にかかる電圧ストレス及び電流ストレスを低減可能とし、装置の小型化及びコストダウン可能であると共に、入力力率改善可能、入力電流歪み改善可能、電源投入時の突入電流の抑制可能な電源装置を提供することである。

【 0 0 2 2 】

【課題を解決するための手段】上記問題点を解決するために、請求項 1 記載の発明によれば、少なくとも部分平滑コンデンサを含むと共に交流電源を整流する整流器の直流電力出力の谷部を谷埋めする谷埋め電源回路と、負荷への供給電力の直流成分をカットする直流成分カット用コンデンサと、少なくとも 1 つのスイッチング素子とを備え、前記スイッチング素子のオンオフにより前記負荷に高周波電力を供給するインバータ回路を備える電源装置に於いて、交流電源が投入されてから前記インバータ回路の発振開始までの間は、前記直流成分カット用コンデンサへ充電される電荷量は略零とすることを特徴とする。

【 0 0 2 3 】請求項 2 記載の発明によれば、交流電源が投入されてから前記インバータ回路の発振開始までの間

は、前記直流成分カット用コンデンサへ充電される電荷量を略零とする手段は、スイッチング素子と、前記部分平滑コンデンサの充電方向に対して逆向きに接続されたダイオードとからなることを特徴とする。

【 0 0 2 4 】請求項 3 記載の発明によれば、部分平滑コンデンサの充電電流を限流する限流要素を設けたことを特徴とする。

【 0 0 2 5 】請求項 4 記載の発明によれば、少なくとも部分平滑コンデンサを含むと共に交流電源を整流する整流器の直流電力出力の谷部を谷埋めする谷埋め電源回路と、負荷への供給電力の直流成分をカットする直流成分カット用コンデンサと、少なくとも 1 つのスイッチング素子とを備え、前記スイッチング素子のオンオフにより前記負荷に高周波電力を供給するインバータ回路を備える電源装置に於いて、部分平滑コンデンサの充電電流を限流する限流要素を設けたことを特徴とする。

【 0 0 2 6 】請求項 5 記載の発明によれば、交流電源が投入されてから前記インバータ回路の発振開始までの間に、前記部分平滑コンデンサを所定値まで充電する充電回路を設けたことを特徴とする。

【 0 0 2 7 】請求項 6 記載の発明によれば、少なくとも部分平滑コンデンサを含むと共に交流電源を整流する整流器の直流電力出力の谷部を谷埋めする谷埋め電源回路と、負荷への供給電力の直流成分をカットする直流成分カット用コンデンサと、少なくとも 1 つのスイッチング素子とを備え、前記スイッチング素子のオンオフにより前記負荷に高周波電力を供給するインバータ回路を備える電源装置に於いて、交流電源が投入されてから前記インバータ回路の発振開始までの間に、前記部分平滑コンデンサを所定値まで充電する充電回路を設けたことを特徴とする。

【 0 0 2 8 】請求項 7 記載の発明によれば、限流要素はインピーダンス素子であることを特徴とする。

【 0 0 2 9 】請求項 8 記載の発明によれば、限流要素はサーミスタであることを特徴とする。

【 0 0 3 0 】請求項 9 記載の発明によれば、充電回路は、前記部分平滑コンデンサよりも小さい容量を有する第 1 のコンデンサを含んでなることを特徴とする。

【 0 0 3 1 】請求項 1 0 記載の発明によれば、第 1 のコンデンサの両端電圧は、前記スイッチング素子を制御する制御回路の制御電源とすることを特徴とする。

【 0 0 3 2 】請求項 1 1 記載の発明によれば、第 1 のコンデンサの充電電荷の放電用素子を設けたことを特徴とする。

【 0 0 3 3 】請求項 1 2 記載の発明によれば、放電用素子はインピーダンス素子であることを特徴とする。

【 0 0 3 4 】請求項 1 3 記載の発明によれば、放電用素子はサーミスタであることを特徴とする。

【 0 0 3 5 】請求項 1 4 記載の発明によれば、インバータ回路は、前記整流器の出力端に前記負荷を介して高周

10

20

30

40

50

波出力の一部を帰還する高周波出力帰還手段を含み構成されるものであることを特徴とする。

【0036】請求項15記載の発明によれば、負荷は少なくとも放電灯を含んでなることを特徴とする。

【0037】請求項16記載の発明によれば、負荷は少なくとも放電灯と共振回路とを含んでなることを特徴とする。

【0038】請求項17記載の発明によれば、スイッチング素子は双方向スイッチング素子であることを特徴とする。

【0039】請求項18記載の発明によれば、スイッチング素子はボディダイオードを有するものであることを特徴とする。

【0040】請求項19記載の発明によれば、スイッチング素子は逆並列接続ダイオードを有するものであることを特徴とする。

【0041】請求項20記載の発明によれば、インバータ回路はハーフブリッジ式インバータ回路であることを特徴とする。

【0042】

【実施の形態】

(実施の形態1) 本発明に係る第1の実施の形態の回路図を図1に示す。

【0043】図19に示した第1従来例と異なる点は、インダクタンス素子L1、部分平滑コンデンサC1の直列接続の両端にダイオードD4を逆並列接続し、ダイオードD1のアノード端子とスイッチング素子Q2、直流成分カット用コンデンサC3の接点との間にダイオードD5を接続し、スイッチング素子Q1、ダイオードD5の直列接続の両端にダイオードD6を逆並列接続したことであり、その他の第1従来例と同一構成には同一符号を付すことにより説明を省略する。なお、本回路ではスイッチング素子Q1、Q2にMOSFETを用いている。

【0044】次に動作を簡単に説明する。スイッチング素子Q1がオフ、スイッチング素子Q2がオンすると、交流電源Vs→フィルター回路F→整流器DB→コンデンサC4、トランスTの1次巻線n1→インダクタンス素子L2→直流成分カット用コンデンサC3→スイッチング素子Q2→整流器DB→フィルター回路F→交流電源Vsの経路で共振電流が流れ、インダクタンス素子L2にエネルギーが蓄積される。そしてスイッチング素子Q1、Q2ともオフすると、インダクタンス素子L2→直流成分カット用コンデンサC3→ダイオードD6→コンデンサC4、トランスTの1次巻線n1→インダクタンス素子L2の経路でインダクタンス素子L2に蓄積されていたエネルギーが放出され、共振電流が流れる。次に、スイッチング素子Q1がオン、スイッチング素子Q2がオフすると、直流成分カット用コンデンサC3→インダクタンス素子L2→コンデンサC4、トランスTの1次巻線n1→スイッチング素子Q1→ダイオードD5

→直流成分カット用コンデンサC3の経路で共振電流が流れ、インダクタンス素子L2にエネルギーが蓄積されると共に、交流電源Vsの山部近傍のみ、交流電源Vs→フィルター回路F→整流器DB→スイッチング素子Q1→ダイオードD1→インダクタンス素子L1→部分平滑コンデンサC1→整流器DB→フィルター回路F→交流電源Vsの経路で入力電流が流れる。そしてスイッチング素子Q1、Q2ともオフすると、インダクタンス素子L2→コンデンサC4、トランスTの1次巻線n1→コンデンサC2→スイッチング素子Q2のボディダイオード(図示せず)→直流成分カット用コンデンサC3→インダクタンス素子L2の経路でインダクタンス素子L2に蓄積されていたエネルギーが放出され、共振電流が流れる。

【0045】つまり、電源投入されてからインバータ回路2が発振を開始するまでの間は、スイッチング素子Q1、Q2、ダイオードD5がオフしているので直流成分カット用コンデンサC3には電荷は充電されず、インバータ回路2の発振開始直後の直流成分カット用コンデンサC3による過電流は発生しない。

【0046】(実施の形態2) 本発明に係る第2の実施の形態の回路図を図2に示す。

【0047】図1に示した第1の実施の形態と異なる点は、インバータ回路2に於いて、負荷4を低圧側スイッチング素子Q2の側に設けて、且つ図1に示すインバータ回路2と等価な構成としたことであり、その他の第1の実施の形態と同一構成には同一符号を付すことにより説明を省略する。

【0048】つまり、インバータ回路2は、スイッチング素子Q1、ダイオードD5、Q2の直列接続と、スイッチング素子Q1、ダイオードD5、スイッチング素子Q2の直列接続の両端に並列接続されたコンデンサC2と、スイッチング素子Q1、ダイオードD5、スイッチング素子Q2の直列接続の両端に並列接続されたインダクタンス素子L1、平滑コンデンサC1、ダイオードD2の直列接続と、ダイオードD5、スイッチング素子Q2の接点及び部分平滑コンデンサC1、ダイオードD2の接点間に接続されたダイオードD1と、スイッチング素子Q1、ダイオードD5の接点及び整流器DBの負の出力端子間に接続された負荷4、直流成分カット用コンデンサC3の直列接続と、インダクタンス素子L1、部分平滑コンデンサC1の直列接続の両端に逆並列接続されたダイオードD4と、ダイオードD5を介してスイッチング素子Q2の両端に逆並列接続されたダイオードD6とから構成される。また、スイッチング素子Q1、Q2、インダクタンス素子L1、部分平滑コンデンサC1、ダイオードD1、D2、D4～D6からインバータ回路2に直流電圧を供給する谷埋め電源回路3が構成される。

【0049】(実施の形態3) 本発明に係る第3の実施

の形態の回路図を図3に示す。

【0050】図1に示した第1の実施の形態と異なる点は、整流器DBの正の出力端子及びスイッチング素子Q1の高電位側との間にコンデンサC6、ダイオードD3の並列回路を挿入したことであり、その他の第1の実施の形態と同一構成には同一符号を付すことより説明を省略する。

【0051】図21に示した第2従来例と異なる点は、インダクタンス素子L1、部分平滑コンデンサC1の直列接続の両端にダイオードD4を逆並列接続し、ダイオードD1のアノード端子とスイッチング素子Q2、直流成分カット用コンデンサC3の接点との間にダイオードD5を接続し、スイッチング素子Q1、ダイオードD5の直列接続の両端にダイオードD6を逆並列接続したことであり、その他の第2従来例と同一構成には同一符号を付すことより説明を省略する。なお、本回路ではスイッチング素子Q1、Q2にMOSFETを用いている。

【0052】次に動作を簡単に説明する。スイッチング素子Q1がオフ、スイッチング素子Q2がオンすると、コンデンサC2の両端電圧 V_c2 が整流器DBの出力電圧とコンデンサC6の両端電圧との総和よりも大きい場合、コンデンサC2→コンデンサC6→コンデンサC4、トランスTの1次巻線n1→インダクタンス素子L2→直流成分カット用コンデンサC3→スイッチング素子Q2→コンデンサC2の経路で共振電流が流れ、コンデンサC2の両端電圧 V_c2 が整流器DBの出力電圧とコンデンサC6の両端電圧との総和よりも小さい場合、交流電源Vs→フィルター回路F→整流器DB→コンデンサC4、トランスTの1次巻線n1→インダクタンス素子L2→直流成分カット用コンデンサC3→スイッチング素子Q2→整流器DB→フィルター回路F→交流電源Vsの経路で共振電流(=入力電流)が流れ、インダクタンス素子L2にエネルギーが蓄積される。そしてスイッチング素子Q1、Q2ともオフすると、インダクタンス素子L2→直流成分カット用コンデンサC3→ダイオードD6→コンデンサC2→整流器DB→フィルター回路F→交流電源Vs→コンデンサC4、トランスTの1次巻線n1→インダクタンス素子L2の経路でインダクタンス素子L2に蓄積されていたエネルギーが放出され、入力電流が流れる。次に、スイッチング素子Q1がオン、スイッチング素子Q2がオフすると、直流成分カット用コンデンサC3→インダクタンス素子L2→コンデンサC4、トランスTの1次巻線n1→コンデンサC6→スイッチング素子Q1→ダイオードD5→直流成分カット用コンデンサC3の経路で共振電流が流れ、コンデンサC6の充電電荷が放出されると共にインダクタンス素子L2にエネルギーが蓄積され、コンデンサC6の充電電荷がなくなると、直流成分カット用コンデンサC3→インダクタンス素子L2→コンデンサC4、トランスTの1次巻線n1→ダイオードD3→スイッチング素

子Q1→ダイオードD5→直流成分カット用コンデンサC3の経路で共振電流が流れる。また、交流電源Vsの山部近傍のみ、つまりコンデンサC2の両端電圧 V_c2 が整流器DBの出力電圧とコンデンサC6の両端電圧との総和よりも小さい場合、交流電源Vs→フィルター回路F→整流器DB→コンデンサC6、ダイオードD3→スイッチング素子Q1→ダイオードD1→インダクタンス素子L1→部分平滑コンデンサC1→整流器DB→フィルター回路F→交流電源Vsの経路で入力電流が流れる。そしてスイッチング素子Q1、Q2ともオフすると、インダクタンス素子L2→コンデンサC4、トランスTの1次巻線n1→コンデンサC6、ダイオードD3→コンデンサC2→スイッチング素子Q2のボディダイオード(図示せず)→直流成分カット用コンデンサC3→インダクタンス素子L2の経路でインダクタンス素子L2に蓄積されていたエネルギーが放出され、共振電流が流れる。

【0053】つまり、電源投入されてからインバータ回路2が発振を開始するまでの間は、スイッチング素子Q1、Q2、ダイオードD5がオフしているので直流成分カット用コンデンサC3には電荷は充電されず、インバータ回路2の発振開始直後の直流成分カット用コンデンサC3による過電流は発生しない。

【0054】(実施の形態4)本発明に係る第4の実施の形態の回路図を図4に示す。

【0055】図3に示した第3の実施の形態と異なる点は、インバータ回路2に於いて、負荷4を低圧側スイッチング素子Q2の側に設けて、且つ図3に示すインバータ回路2と等価な構成としたことであり、その他の第3の実施の形態と同一構成には同一符号を付すことにより説明を省略する。

【0056】つまり、インバータ回路2は、スイッチング素子Q1、ダイオードD5、スイッチング素子Q2の直列接続と、スイッチング素子Q1、ダイオードD5、スイッチング素子Q2の直列接続の両端に並列接続されたコンデンサC2と、スイッチング素子Q1、ダイオードD5、スイッチング素子Q2の直列接続の両端に並列接続されたインダクタンス素子L1、平滑コンデンサC1、ダイオードD2の直列接続と、ダイオードD5、スイッチング素子Q2の接点及び部分平滑コンデンサC1、ダイオードD2の接点間に接続されたダイオードD1と、スイッチング素子Q1、ダイオードD5の接点及び整流器DBの負の出力端子間に接続された負荷4、直流成分カット用コンデンサC3の直列接続と、インダクタンス素子L1、部分平滑コンデンサC1の直列接続の両端に逆並列接続されたダイオードD4と、ダイオードD5を介してスイッチング素子Q2の両端に逆並列接続されたダイオードD6とから構成される。また、スイッチング素子Q1、Q2、インダクタンス素子L1、部分平滑コンデンサC1、ダイオードD1、D2、D4～D

6からインバータ回路2に直流電圧を供給する谷埋め電源回路3が構成される。

【0057】(実施の形態5) 本発明に係る第5の実施の形態の回路図を図5に示す。

【0058】図1に示した第1の実施の形態と異なる点は、ダイオードD4～D6を省略し、ダイオードD1のアノード端子とカソード端子との接続を逆にし、ダイオードD1を介してスイッチング素子Q1の両端にインダクタンス素子L1、部分平滑コンデンサC1の直列回路を並列接続し、ダイオードD1を介してスイッチング素子Q2の両端にダイオードD2を逆並列接続して、図1に示すインバータ回路2の発振開始以前に於ける直流成分カット用コンデンサC3の充電防止用ダイオード(以下、ダイオードと呼ぶ。)D5の代わりにダイオードD1を代用したことであり、その他の第1の実施の形態と同一構成には同一符号を付すことより説明を省略する。

【0059】(実施の形態6) 本発明に係る第6の実施の形態の回路図を図6に示す。

【0060】図5に示した第5の実施の形態と異なる点は、インバータ回路2に於いて、負荷4を低圧側スイッチング素子Q2の側に設けて、且つ図5に示すインバータ回路2と等価な構成としたことであり、その他の第5の実施の形態と同一構成には同一符号を付すことにより説明を省略する。

【0061】つまり、インバータ回路2は、スイッチング素子Q1、Q2の直列接続と、スイッチング素子Q1、Q2の直列接続の両端に並列接続されたコンデンサC2と、スイッチング素子Q1、Q2の直列接続の両端に並列接続されたダイオードD2、インダクタンス素子L1、平滑コンデンサC1の直列接続と、スイッチング素子Q1、Q2の接点及びダイオードD2、インダクタンス素子L1の接点間に接続されたダイオードD1と、スイッチング素子Q1、Q2の接点及び整流器DBの負の出力端子間に接続された負荷4、直流成分カット用コンデンサC3の直列接続とから構成される。また、スイッチング素子Q1、Q2、インダクタンス素子L1、部分平滑コンデンサC1、ダイオードD1、D2からインバータ回路2に直流電圧を供給する谷埋め電源回路3が構成される。

【0062】(実施の形態7) 本発明に係る第7の実施の形態の回路図を図7に示す。

【0063】図5に示した第5の実施の形態と異なる点は、整流器DBの正の出力端子及びスイッチング素子Q1の高電位側との間にコンデンサC6、ダイオードD3の並列回路を挿入したことであり、その他の第5の実施の形態と同一構成には同一符号を付すことより説明を省略する。

【0064】(実施の形態8) 本発明に係る第8の実施の形態の回路図を図8に示す。

【0065】図6に示した第6の実施の形態と異なる点

は、整流器DBの負の出力端子及びスイッチング素子Q2の低電位側との間にコンデンサC6、ダイオードD3の並列回路を挿入したことであり、その他の第6の実施の形態と同一構成には同一符号を付すことより説明を省略する。

【0066】上記第1～第8の実施の形態に示した様に構成したことにより、電源投入してからインバータ回路2が発振を開始するまでの間は直流成分カット用コンデンサC3には電荷は充電されず、インバータ回路2の発振開始直後の直流成分カット用コンデンサC3による過電流は発生しなで、装置の小型化及びコストダウンが可能となる。また、定常動作時に於いては、入力電流の導通角の広角化、入力力率の改善、入力電流歪みの改善、突入電流の低減が可能となる。

【0067】(実施の形態9) 本発明に係る第9の実施の形態の回路図を図9に示す。

【0068】図2に示した第2の実施の形態と異なる点は、ダイオードD5、D6を省略し、ダイオードD1のアノード端子とダイオードD4のアノード端子との間に抵抗R1を接続して部分平滑コンデンサC1の充電電流の限流要素としたことであり、その他の第2の実施の形態と同一構成には同一符号を付すことより説明を省略する。

【0069】本回路では、交流電源Vsの山部近傍に於いて、スイッチング素子Q1がオフ、スイッチング素子Q2がオンの時は、交流電源Vs→フィルター回路F→整流器DB→インダクタンス素子L1→部分平滑コンデンサC1→抵抗R1→ダイオードD1→スイッチング素子Q2→整流器DB→フィルター回路F→交流電源Vsの経路で部分平滑コンデンサC1の充電電流が流れるが、抵抗R1により限流される為に、部分平滑コンデンサC1の両端電圧Vc1が定常時の電位に至るまでのスイッチング素子Q2、部分平滑コンデンサC1などへの過電流を防止できる。なお、定常動作時に於いては、抵抗R1による電力損失が生じるが、インダクタンス素子L1からの放電電流は抵抗R1を介さずにダイオードD4でバイパスされるため、抵抗R1での大きな電力損失は生じない。

【0070】(実施の形態10) 本発明に係る第10の実施の形態の回路図を図10に示す。

【0071】図9に示した第9の実施の形態と異なる点は、整流器DBの負の出力端子及びスイッチング素子Q2の低電位側との間にコンデンサC6、ダイオードD3の並列回路を挿入したことであり、その他の第9の実施の形態と同一構成には同一符号を付すことより説明を省略する。

【0072】本回路では、交流電源Vsの山部近傍に於いて、スイッチング素子Q1がオフ、スイッチング素子Q2がオンの時は、交流電源Vs→フィルター回路F→整流器DB→インダクタンス素子L1→部分平滑コンデ

ンサ C 1 → 抵抗 R 1 → ダイオード D 1 → スイッチング素子 Q 2 → コンデンサ C 6, ダイオード D 3 → 整流器 DB → フィルター回路 F → 交流電源 V s の経路で部分平滑コンデンサ C 1 の充電電流が流れるが、抵抗 R 1 により限流される為に、部分平滑コンデンサ C 1 の両端電圧 V c 1 が定常時の電位に至るまでのスイッチング素子 Q 2, 部分平滑コンデンサ C 1 などへの過電流を防止できる。なお、定常動作時に於いては、抵抗 R 1 による電力損失が生じるが、インダクタンス素子 L 1 からの放電電流は抵抗 R 1 を介さずにダイオード D 4 でバイパスされるため、抵抗 R 1 での大きな電力損失は生じない。

【0073】（実施の形態 11）本発明に係る第 11 の実施の形態の回路図を図 11 に示す。図 9 に示した第 9 の実施の形態と異なる点は、抵抗 R 1 の代わりにサーミスタ T R を用いたことであり、その他の第 9 の実施の形態と同一構成には同一符号を付すことより説明を省略する。ここで、サーミスタ T R は温度が高くなるほどインピーダンス値は低くなる特性を有しているので、部分平滑コンデンサ C 1 の両端電圧 V c 1 が定常時の電位に至るまでのスイッチング素子 Q 2, 部分平滑コンデンサ C 1 などへの過電流を防止可能であると共に、定常動作時のサーミスタ T R での電力損失を低く抑えることが可能となる。

【0074】（実施の形態 12）本発明に係る第 12 の実施の形態の回路図を図 12 に示す。

【0075】図 11 に示した第 11 の実施の形態と異なる点は、整流器 DB の負の出力端子及びスイッチング素子 Q 2 の低電位側との間にコンデンサ C 6, ダイオード D 3 の並列回路を挿入したことであり、その他の第 11 の実施の形態と同一構成には同一符号を付すことより説明を省略する。

【0076】上記第 9 ～ 第 12 の実施の形態に示した様に構成したことにより、部分平滑コンデンサ C 1 の両端電圧 V c 1 が定常時の電位に至るまでに半導体素子及び部分平滑コンデンサ C 1 に大きなストレスが印加されることを防止でき、半導体素子及び部分平滑コンデンサ C 1 の性能劣化を防止し、長寿命化が可能となり、装置の小型化及びコストダウンが可能となる。また、定常動作時に於いては、入力電流の導通角の広角化、入力力率の改善、入力電流歪みの改善、突入電流の低減が可能となる。

【0077】（実施の形態 13）本発明に係る第 13 の実施の形態の回路図を図 13 に示す。

【0078】図 2 に示した第 2 の実施の形態と異なる点は、ダイオード D 1 のアノード端子とダイオード D 4 のアノード端子との間に抵抗 R 1 を接続して部分平滑コンデンサ C 1 の充電電流の限流要素としたことであり、その他の第 2 の実施の形態と同一構成には同一符号を付すことより説明を省略する。

【0079】（実施の形態 14）本発明に係る第 14 の

実施の形態の回路図を図 14 に示す。

【0080】図 13 に示した第 13 の実施の形態と異なる点は、整流器 DB の負の出力端子及びスイッチング素子 Q 2 の低電位側との間にコンデンサ C 6, ダイオード D 3 の並列回路を挿入したことであり、その他の第 13 の実施の形態と同一構成には同一符号を付すことより説明を省略する。

【0081】上記第 13 ～ 第 14 の実施の形態に示した様に構成したことにより、電源投入されてからインバータ回路 2 が発振を開始するまでの間は直流成分カット用コンデンサ C 3 には電荷は充電されず、インバータ回路 2 の発振開始直後の直流成分カット用コンデンサ C 3 による過電流は発生しなもので、装置の小型化及びコストダウンが可能となる。しかも、交流電源 V s の山部近傍に於いて、部分平滑コンデンサ C 1 の充電電流が抵抗 R 1 により限流される為に、部分平滑コンデンサ C 1 の両端電圧 V c 1 が定常時の電位に至るまでに半導体素子及び部分平滑コンデンサ C 1 に大きなストレスが印加されることを防止でき、半導体素子及び部分平滑コンデンサ C 1 の性能劣化を防止し、長寿命化が可能となり、装置の小型化及びコストダウンが可能となる。また、定常動作時に於いては、入力電流の導通角の広角化、入力力率の改善、入力電流歪みの改善、突入電流の低減が可能となる。

【0082】なお、抵抗 R 1 の代わりにサーミスタ T R を用いてもよい。

（実施の形態 15）本発明に係る第 15 の実施の形態の回路図を図 15 に示す。

【0083】図 2 に示した第 2 の実施の形態と異なる点は、ダイオード D 4 ～ D 6 を省略し、ダイオード D 2 の両端にダイオード D 7, 第 1 のコンデンサ（以下、コンデンサと呼ぶ。）C 7 からなる直列回路を並列接続し、コンデンサ C 7 の両端に抵抗 R 2 を並列接続したことであり、その他の第 2 の実施の形態と同一構成には同一符号を付すことより説明を省略する。

【0084】（実施の形態 16）本発明に係る第 16 の実施の形態の回路図を図 16 に示す。

【0085】図 15 に示した第 15 の実施の形態と異なる点は、整流器 DB の負の出力端子及びスイッチング素子 Q 2 の低電位側との間にコンデンサ C 6, ダイオード D 3 の並列回路を挿入したことであり、その他の第 15 の実施の形態と同一構成には同一符号を付すことより説明を省略する。

【0086】（実施の形態 17）本発明に係る第 17 の実施の形態の回路図を図 17 に示す。

【0087】図 15 に示した第 15 の実施の形態と異なる点は、抵抗 R 2 の代わりにコンデンサ C 7 の両端にツェナーダイオード Z D 1 を並列接続し、ツェナーダイオード Z D 1 でクランプされたコンデンサ C 7 の両端電圧 V c 7 を制御回路 5 の制御電源に用いたことであり、そ

の他の第 1 5 の実施の形態と同一構成には同一符号を付すことより説明を省略する。

【0088】（実施の形態 18）本発明に係る第 1 8 の実施の形態の回路図を図 1 8 に示す。

【0089】図 1 7 に示した第 1 7 の実施の形態と異なる点は、整流器 D B の負の出力端子及びスイッチング素子 Q 2 の低電位側との間にコンデンサ C 6、ダイオード D 3 の並列回路を挿入したことであり、その他の第 1 5 の実施の形態と同一構成には同一符号を付すことより説明を省略する。

【0090】上記第 1 5 ～第 1 8 の実施の形態に示した様に構成したことにより、電源投入されてからインバータ回路 2 が発振を開始するまでの間に於いて、交流電源 V s → フィルター回路 F → 整流器 D B → インダクタンス素子 L 1 → 部分平滑コンデンサ C 1 → ダイオード D 7 → コンデンサ C 7 → （コンデンサ C 6、ダイオード D 3 →）整流器 D B → フィルター回路 F → 交流電源 V s と容量の大きな部分平滑コンデンサ C 1 への充電回路が確保され、図 2 3（a）に示す様な電源投入時に発生するスイッチサージ等で発生した過電圧 V c 2（図 2 3（b）に示す）が、インバータ回路 2 に印加されることを防止可能となる。また、定常動作時に於いては、入力電流の導通角の広角化、入力力率の改善、入力電流歪みの改善、突入電流の低減が可能となる。

【0091】なお、コンデンサ C 7 の容量は部分平滑コンデンサ C 1 の容量に比べて極めて小さく設定することにより、電源投入されてからインバータ回路 2 が発振を開始するまでの僅かな時間でコンデンサ C 7 は満充電されるので、コンデンサ C 7 での電力ロス極めて小さなものとなる。また、抵抗 R 2 はコンデンサ C 7 の電荷を放出するための放電用素子、つまり放電抵抗であり、抵抗 R 2 の代わりにサーミスタ T R を用いてもよく、ダイオード D 7 はコンデンサ C 7 の電荷の逆流防止用である。

【0092】上記第 9 ～第 1 8 の実施の形態に示す回路図では、負荷 4 を低圧側スイッチング素子 Q 2 の両端に並列に設ける様な構成としたが、この様な回路構成と等価的な様に負荷 4 を高圧側スイッチング素子 Q 1 の両端に並列に設けた構成としてもよい。また、部分平滑コンデンサ C 1 の充電電流の限流要素及びコンデンサ C 7 の電荷を放出するための放電用素子として、抵抗もしくはサーミスタを用いたが、他のインピーダンス素子を用いてもよい。

【0093】更に、上記全ての実施の形態に於いて、スイッチング素子 Q 1、Q 2 はボディードダイオードを有する MOS F E T の代わりに、双方向スイッチング素子を用いても、逆並列接続ダイオードを有するものであってもよく、インバータ回路 2 としてはハーフブリッジ式回路を用いたが、他の回路方式であってもよい。

【0094】

【発明の効果】請求項 1、請求項 2 に記載の発明によれば、電源投入されてからインバータ回路が発振を開始するまでの間は直流成分カット用コンデンサには電荷は充電されず、インバータ回路の発振開始直後の直流成分カット用コンデンサによる過電流は発生しなもので、装置の小型化及びコストダウンが可能であると共に、定常動作時に於いては、入力電流の導通角の広角化、入力力率の改善、入力電流歪みの改善、電源投入時の突入電流の低減が可能な電源装置を提供できる。

10 【0095】請求項 3、請求項 4、請求項 7 に記載の発明によれば、部分平滑コンデンサの両端電圧が定常時の電位に至るまでに半導体素子及び部分平滑コンデンサに大きなストレスが印加されることを防止可能で、半導体素子及び部分平滑コンデンサの性能劣化を防止し、長寿命化が可能で、装置の小型化及びコストダウンが可能であると共に、定常動作時に於いては、入力電流の導通角の広角化、入力力率の改善、入力電流歪みの改善、電源投入時の突入電流の低減が可能な電源装置を提供できる。

20 【0096】請求項 5、請求項 6 に記載の発明によれば、電源投入されてからインバータ回路が発振を開始するまでの間に於いて、部分平滑コンデンサへの充電経路が確保され、電源投入時に発生するスイッチサージ等で発生した過電圧が、インバータ回路に印加されることを防止可能であると共に、定常動作時に於いては、入力電流の導通角の広角化、入力力率の改善、入力電流歪みの改善、電源投入時の突入電流の低減が可能な電源装置を提供できる。

30 【0097】請求項 8 に記載の発明によれば、部分平滑コンデンサの両端電圧が定常時の電位に至るまでに半導体素子及び部分平滑コンデンサに大きなストレスが印加されることを防止可能で、半導体素子及び部分平滑コンデンサの性能劣化を防止し、長寿命化が可能で、装置の小型化及びコストダウンが可能であると共に、定常動作時に於いては、サーミスタでの電力損失を低く抑えることが可能で、入力電流の導通角の広角化、入力力率の改善、入力電流歪みの改善、電源投入時の突入電流の低減が可能な電源装置を提供できる。

40 【0098】請求項 9 から請求項 1 2 に記載の発明によれば、電源投入されてからインバータ回路が発振を開始するまでの間に於いて、部分平滑コンデンサへの充電経路が確保され、電源投入時に発生するスイッチサージ等で発生した過電圧が、インバータ回路に印加されることを防止可能であると共に、定常動作時に於いては、入力電流の導通角の広角化、入力力率の改善、入力電流歪みの改善、電源投入時の突入電流の低減が可能な電源装置を提供できる。

50 【0099】なお、コンデンサの容量は部分平滑コンデンサの容量に比べて極めて小さく設定することにより、電源投入されてからインバータ回路が発振を開始するま

での僅かな時間でコンデンサは満充電されるので、コンデンサでの電力ロス極めて小さなものとなる。

【0100】請求項13に記載の発明によれば、電源投入されてからインバータ回路が発振を開始するまでの間に於いて、部分平滑コンデンサへの充電経路が確保され、電源投入時に発生するスイッチサージ等で発生した過電圧が、インバータ回路に印加されることを防止可能であると共に、定常動作時に於いては、サーミスタでの電力損失を低く抑えることが可能で、入力電流の導通角の広角化、入力力率の改善、入力電流歪みの改善、電源投入時の突入電流の低減が可能な電源装置を提供できる。

【0101】なお、コンデンサの容量は部分平滑コンデンサの容量に比べて極めて小さく設定することにより、電源投入されてからインバータ回路が発振を開始するまでの僅かな時間でコンデンサは満充電されるので、コンデンサでの電力ロス極めて小さなものとなる。

【0102】請求項14、請求項17から請求項20に記載の発明によれば、装置の小型化及びコストダウンが可能であると共に、入力電流の導通角の広角化、入力力率の改善、入力電流歪みの改善、電源投入時の突入電流の低減が可能な電源装置を提供できる。

【0103】請求項15、請求項16に記載の発明によれば、装置の小型化及びコストダウンが可能であると共に、放電灯を安定点灯可能な電源装置を提供できる。

【図面の簡単な説明】

【図1】本発明に係る第1の実施の形態を示す回路図である。

【図2】本発明に係る第2の実施の形態を示す回路図である。

【図3】本発明に係る第3の実施の形態を示す回路図である。

【図4】本発明に係る第4の実施の形態を示す回路図である。

【図5】本発明に係る第5の実施の形態を示す回路図である。

【図6】本発明に係る第6の実施の形態を示す回路図である。

【図7】本発明に係る第7の実施の形態を示す回路図である。

【図8】本発明に係る第8の実施の形態を示す回路図である。

【図9】本発明に係る第9の実施の形態を示す回路図である。

【図10】本発明に係る第10の実施の形態を示す回路

図である。

【図11】本発明に係る第11の実施の形態を示す回路図である。

【図12】本発明に係る第12の実施の形態を示す回路図である。

【図13】本発明に係る第13の実施の形態を示す回路図である。

【図14】本発明に係る第14の実施の形態を示す回路図である。

【図15】本発明に係る第15の実施の形態を示す回路図である。

【図16】本発明に係る第16の実施の形態を示す回路図である。

【図17】本発明に係る第17の実施の形態を示す回路図である。

【図18】本発明に係る第18の実施の形態を示す回路図である。

【図19】本発明に係る第1従来例を示す回路図である。

【図20】上記従来例に係る動作波形図を示す。

【図21】本発明に係る第2従来例を示す回路図である。

【図22】上記従来例に係る動作波形図を示す。

【図23】上記第1、第2従来例に係る電源投入時での動作波形図を示す。

【図24】上記第1、第2従来例に係る別の動作波形図を示す。

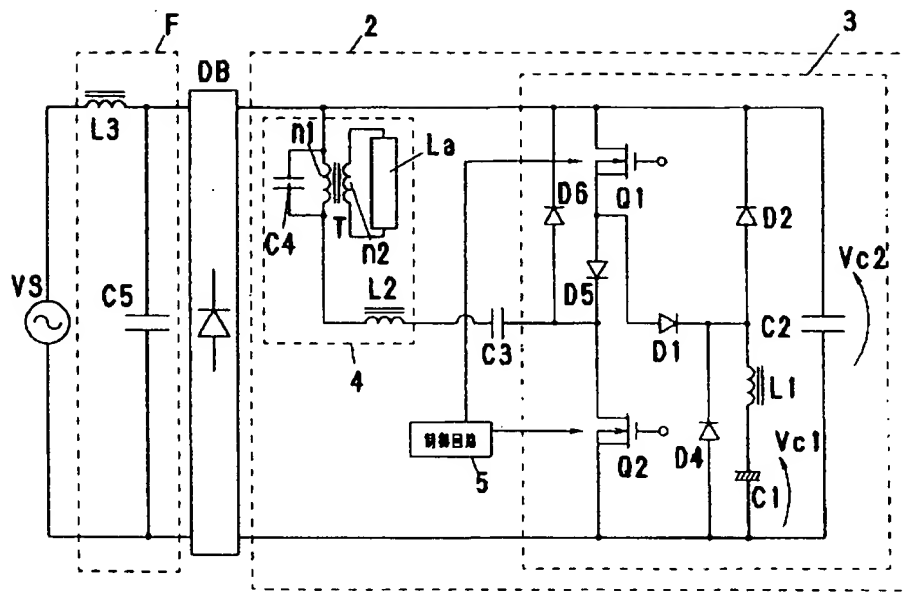
【図25】上記第1、第2従来例に係る電源投入されてからインバータ回路が発振を開始するまでの間の等価回路図を示す。

【図26】上記第1、第2従来例に係るスイッチング素子Q1のオン時の等価回路図を示す。

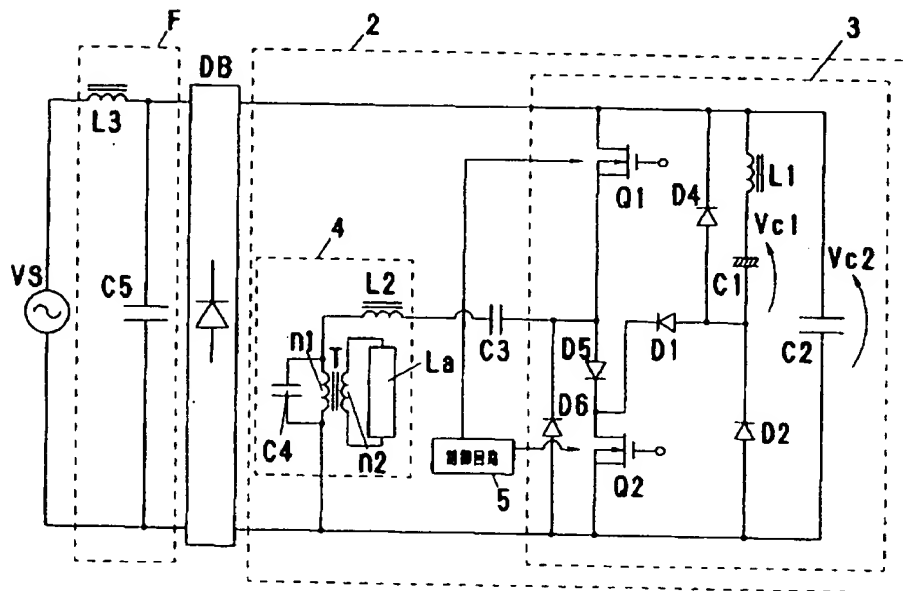
【符号の説明】

C	コンデンサ
D	ダイオード
DB	整流器
La	放電灯
Q	スイッチング素子
R	抵抗
TR	サーミスタ
Vs	交流電源
2	インバータ回路
3	谷埋め電源回路
4	負荷
5	制御回路

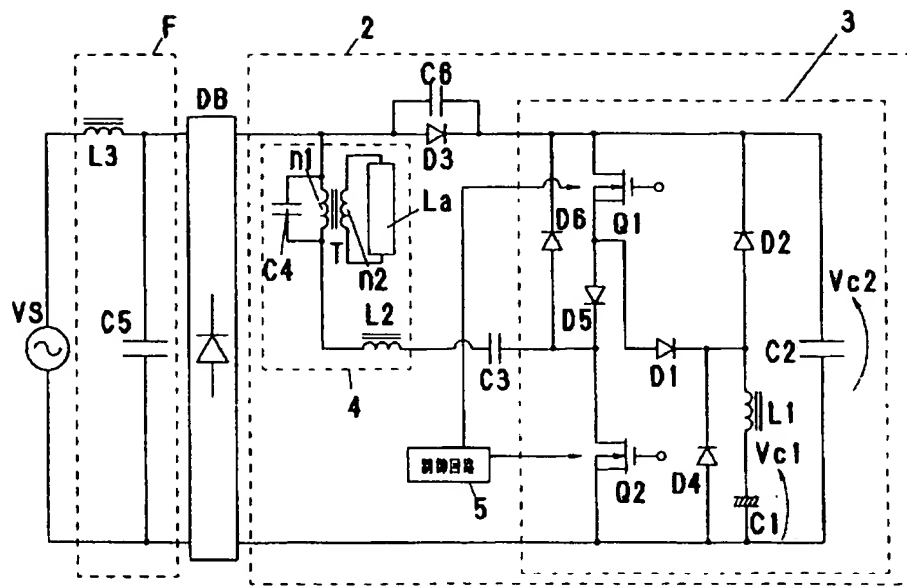
【図 1】



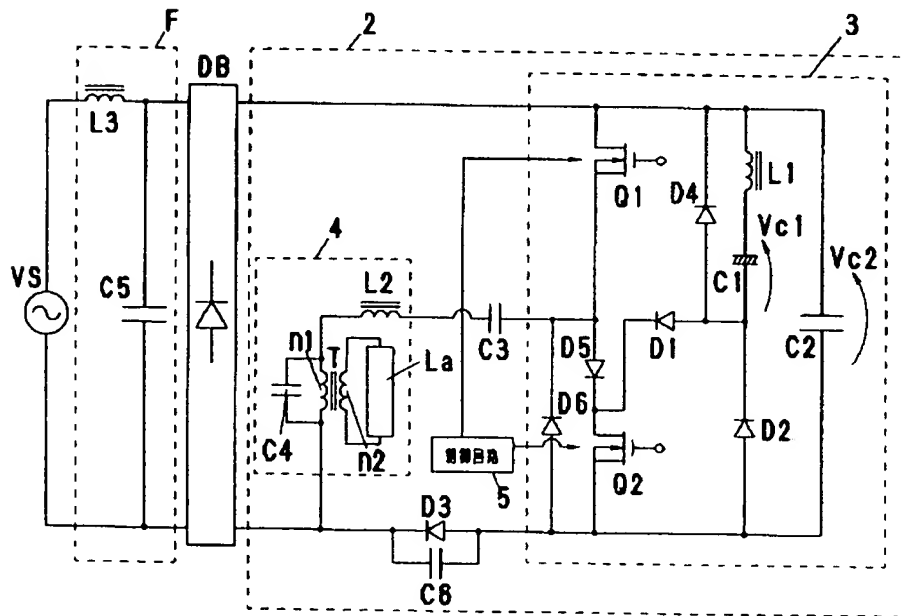
【図 2】



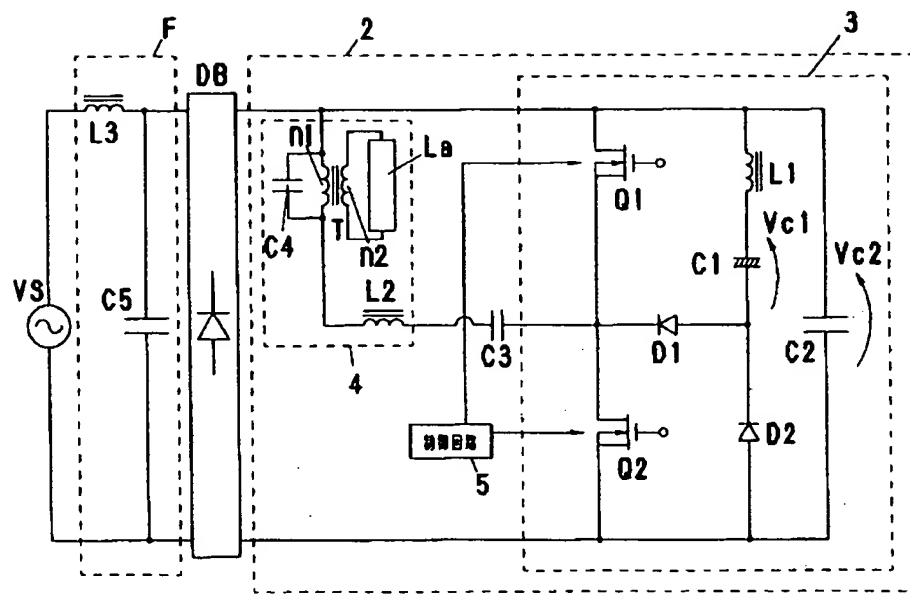
【図 3】



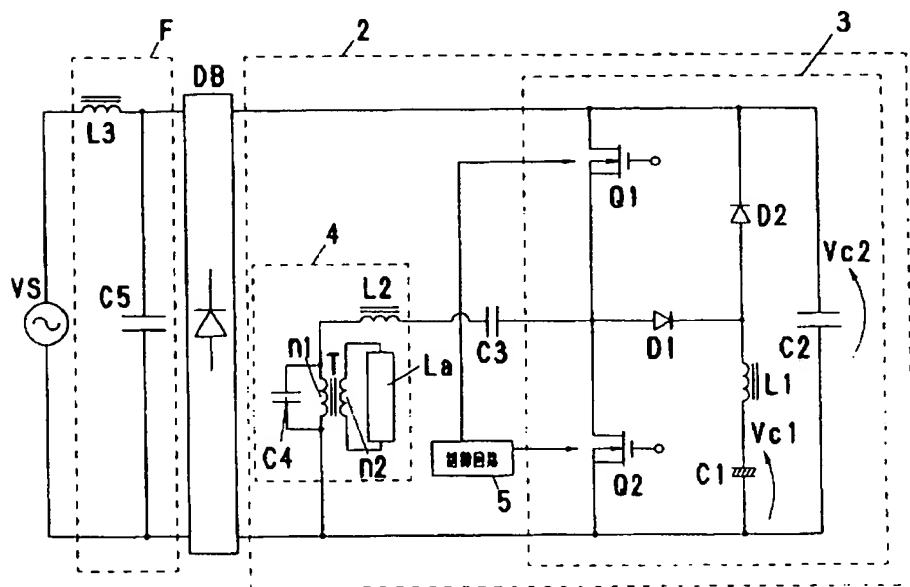
【図 4】



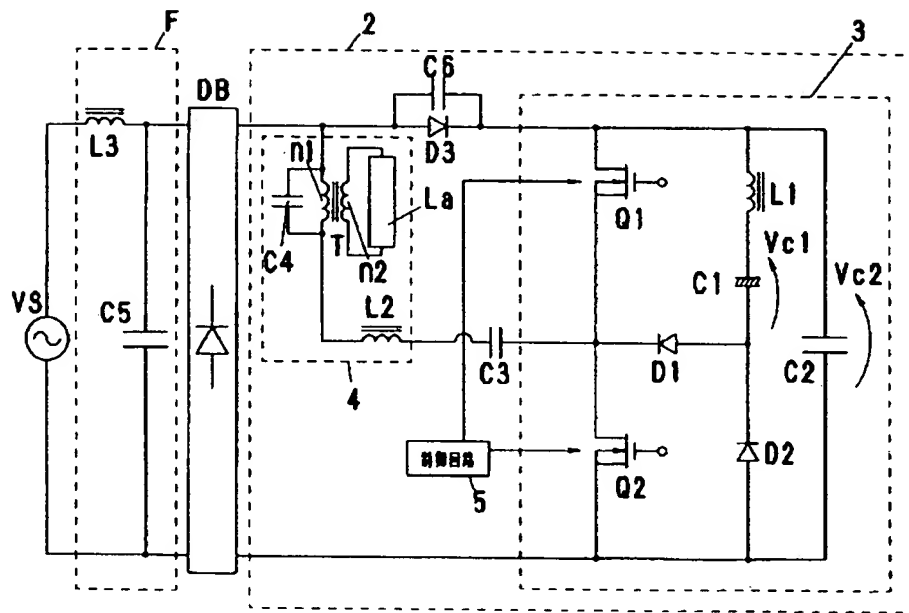
【図 5】



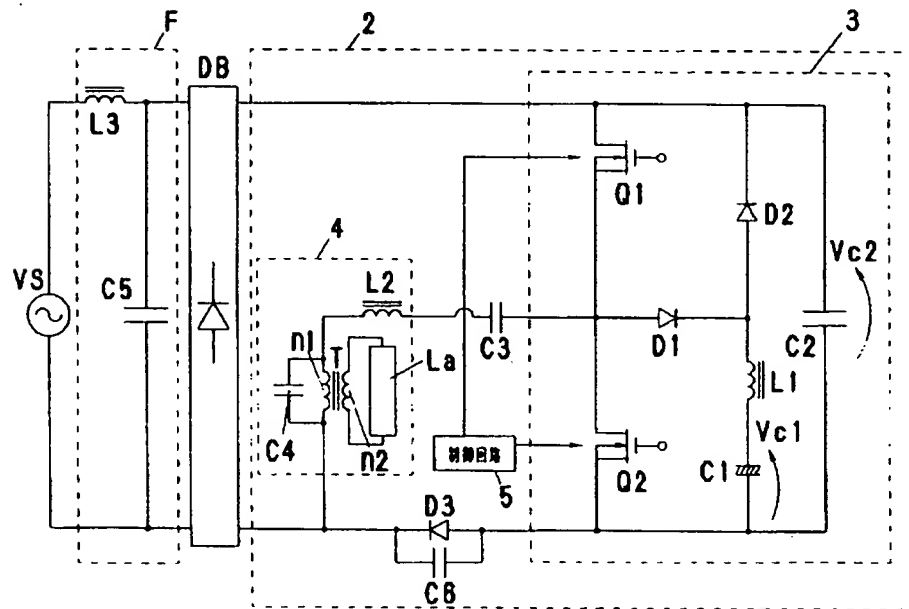
【図 6】



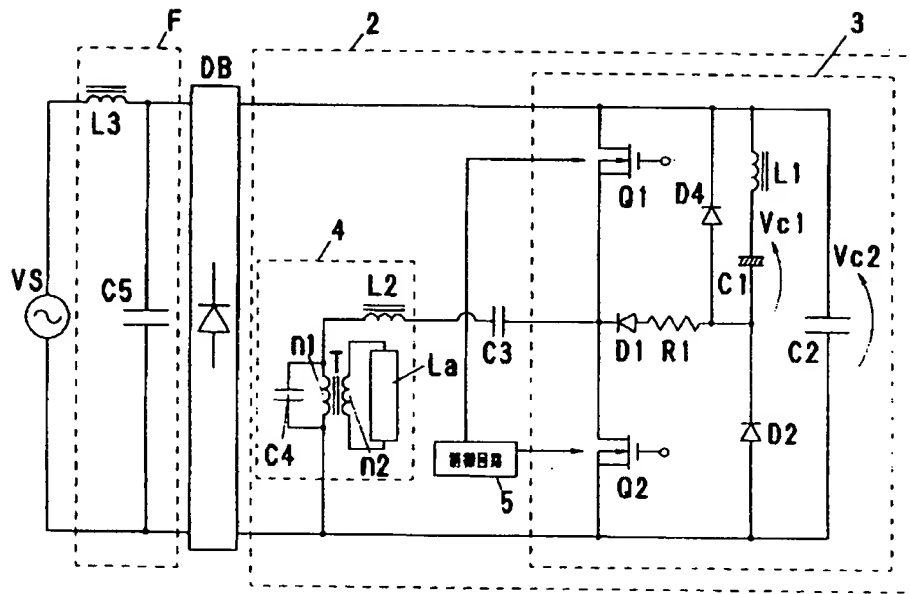
【図 7】



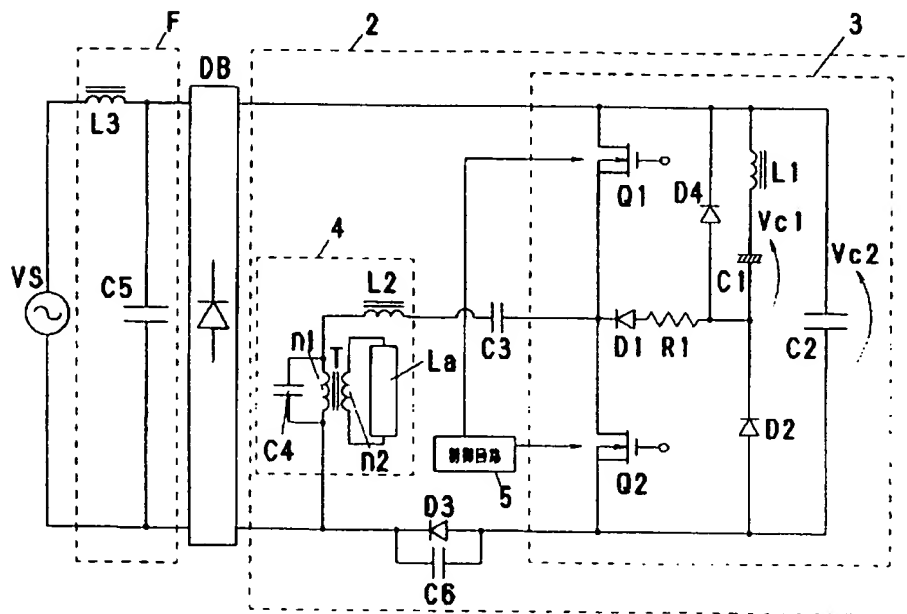
【図 8】



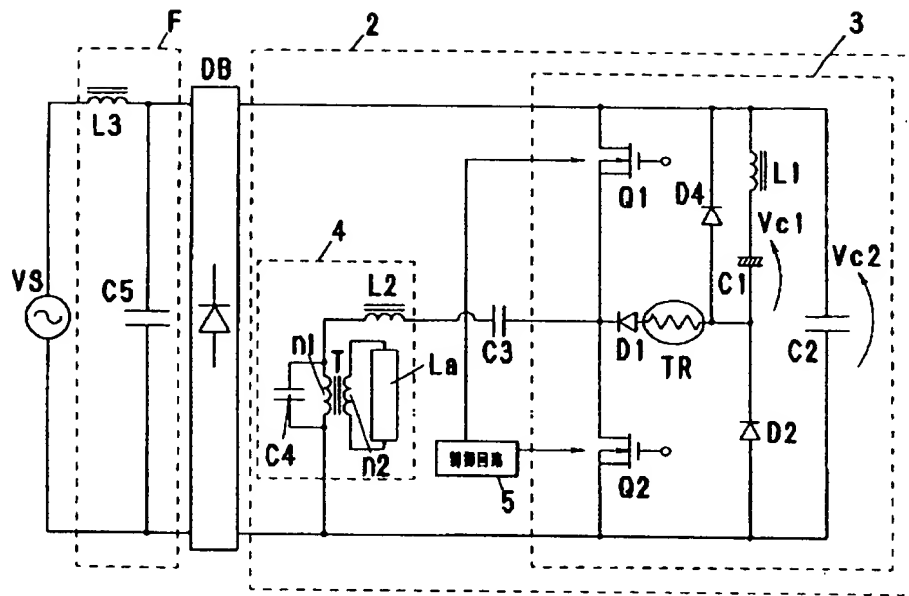
【図 9】



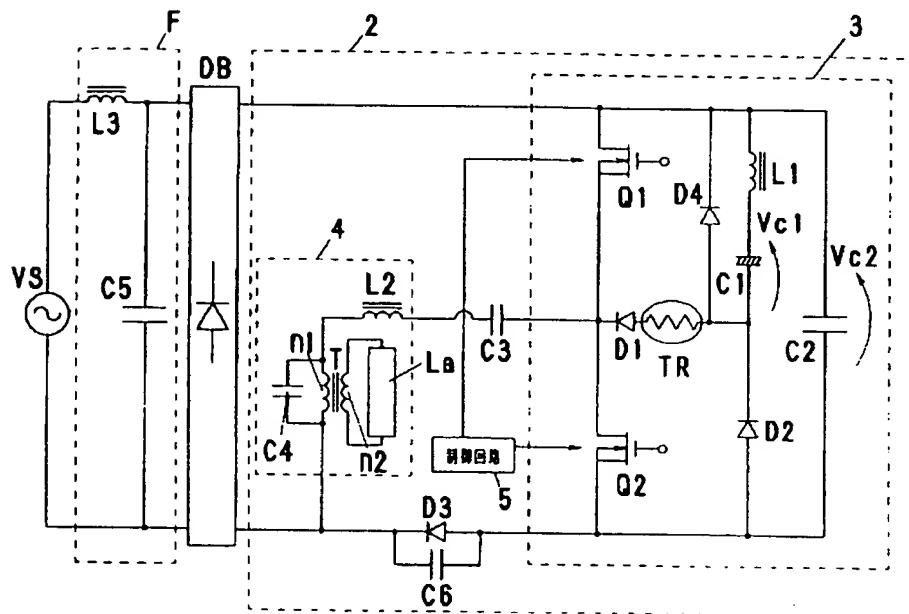
【図 10】



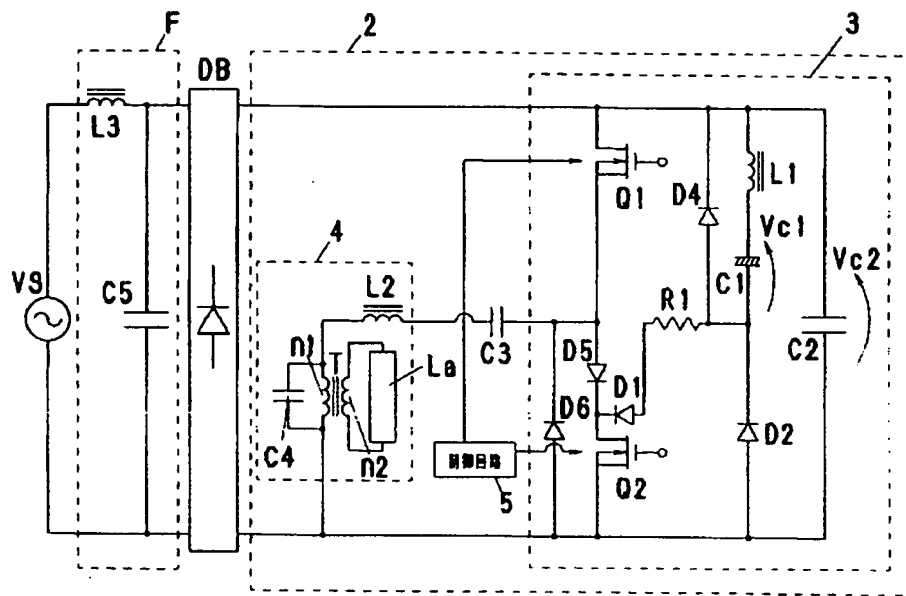
【図 1 1】



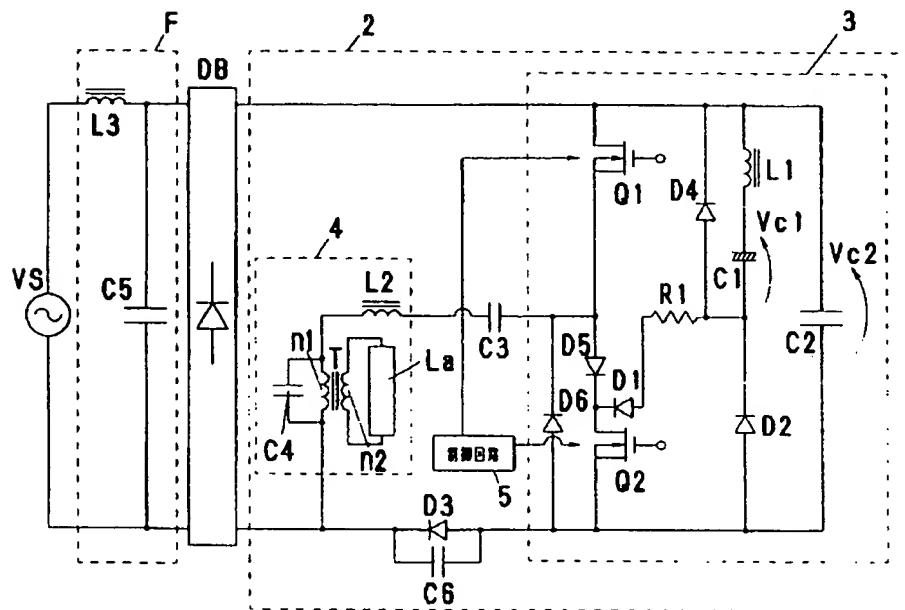
【図 1 2】



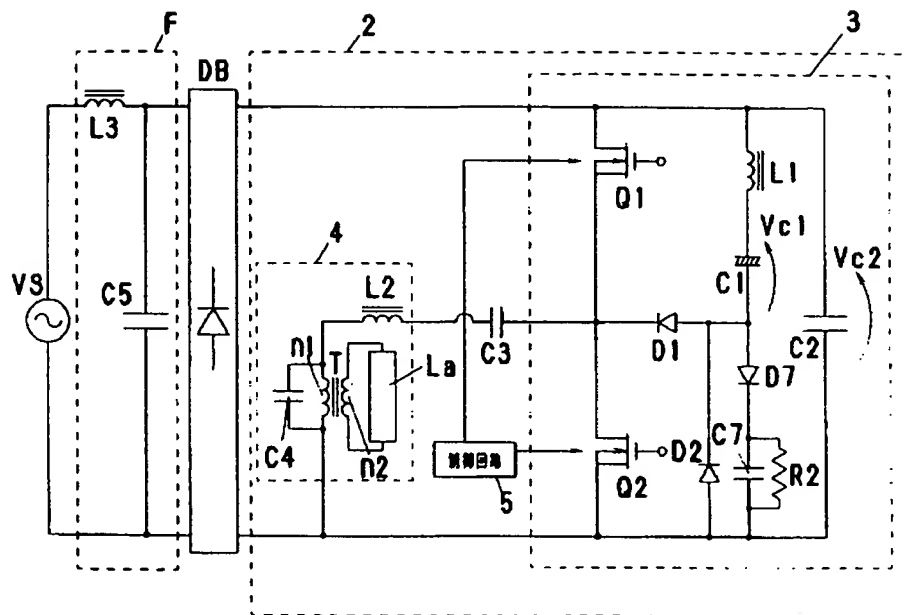
【図 13】



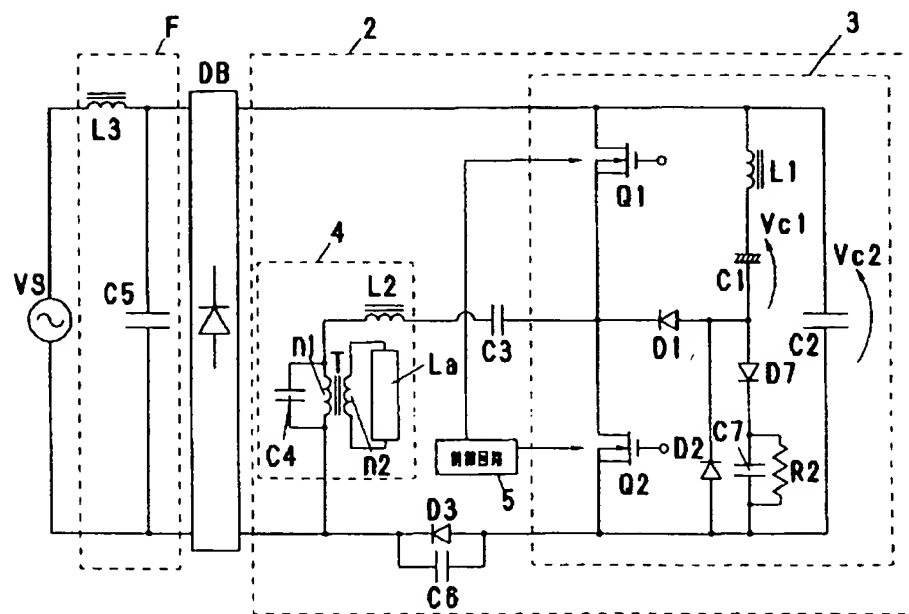
【図 14】



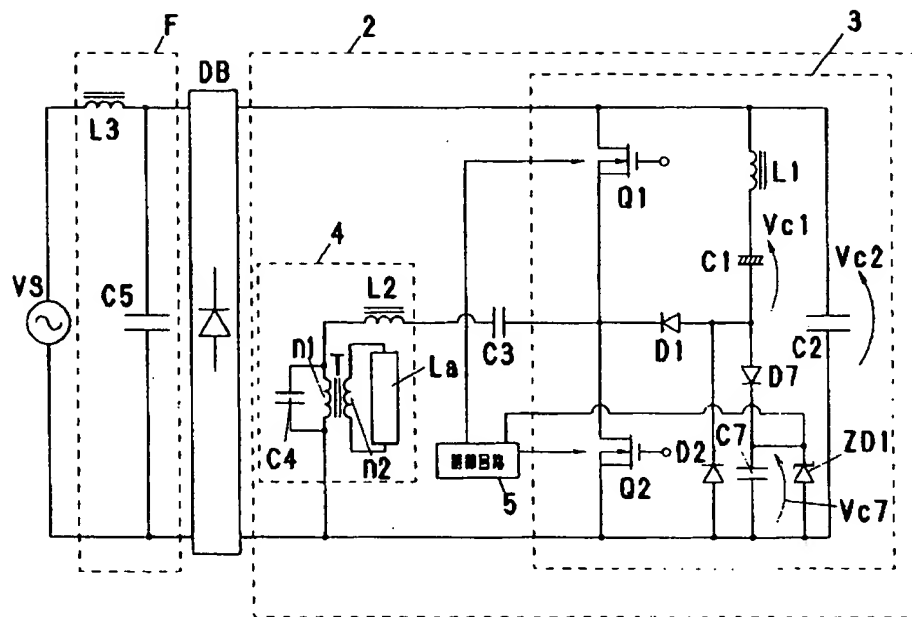
【図 15】



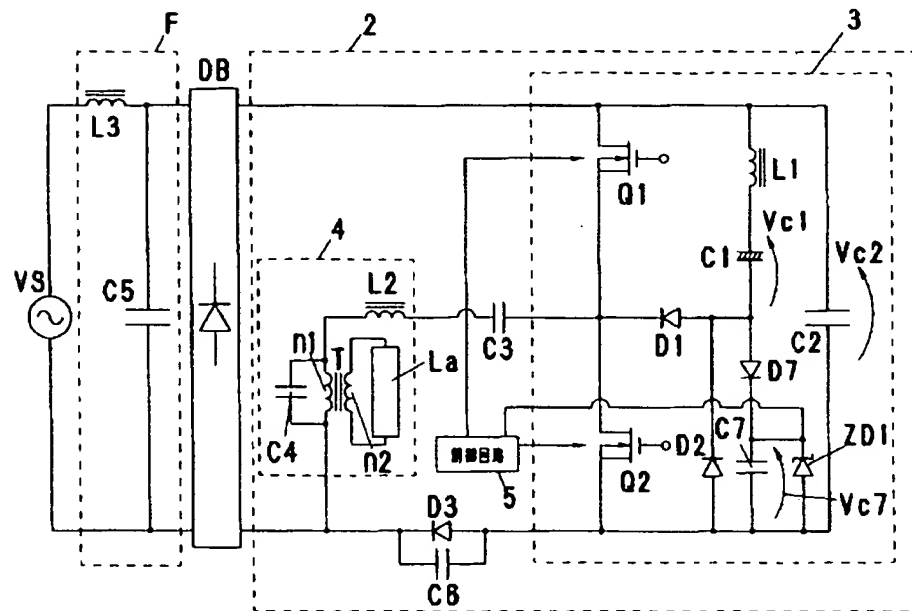
【图 16】



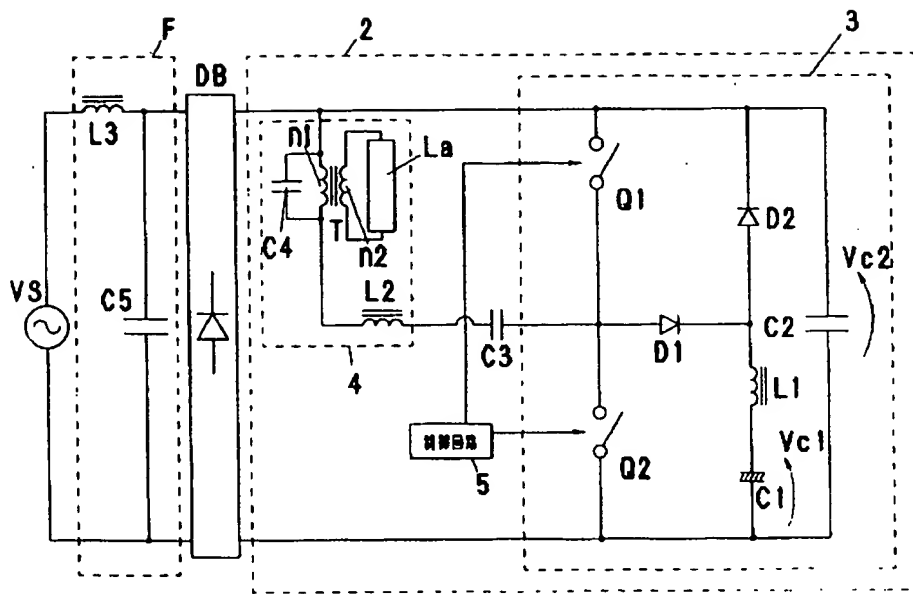
【図 17】



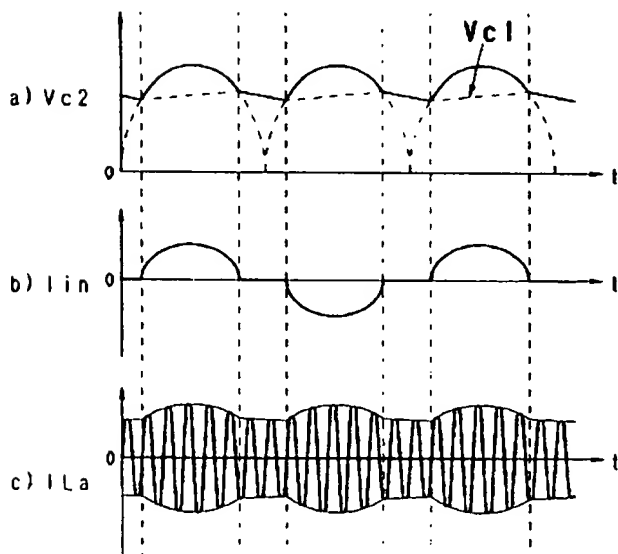
【図 18】



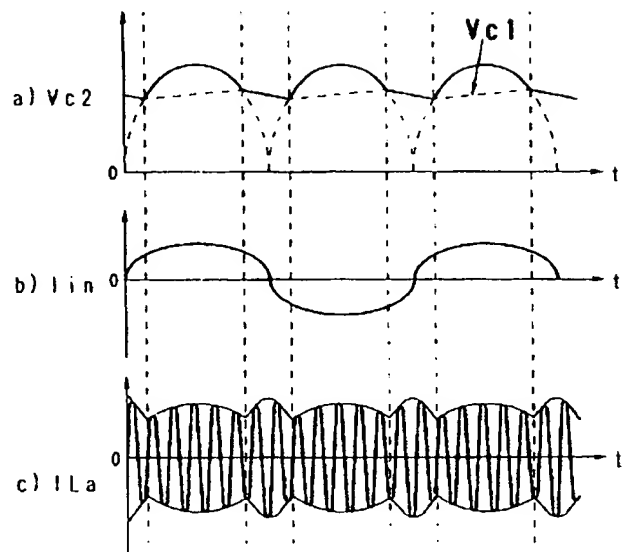
【図 19】



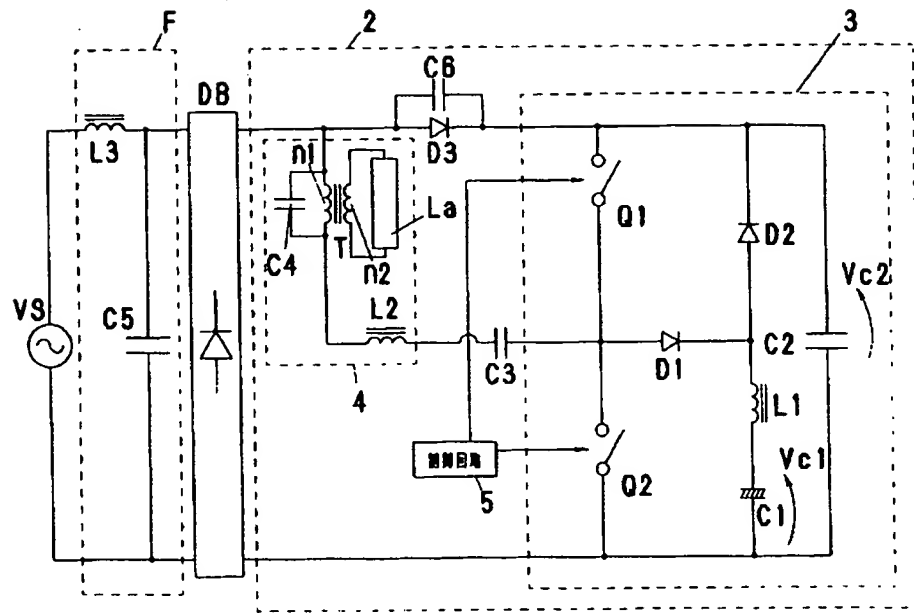
【図 20】



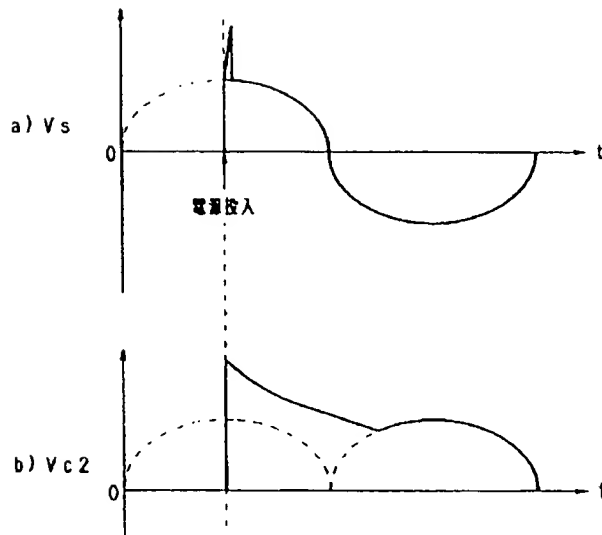
【図 22】



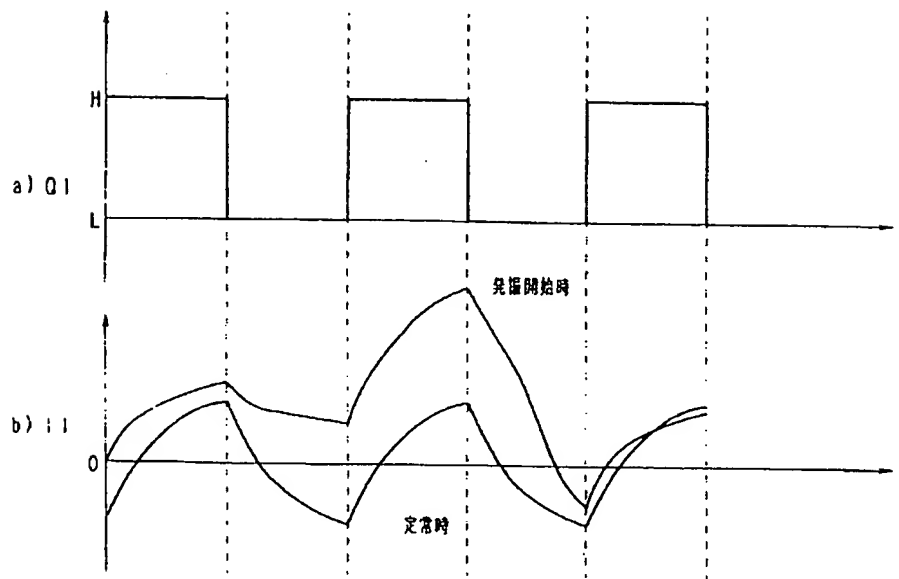
【図 21】



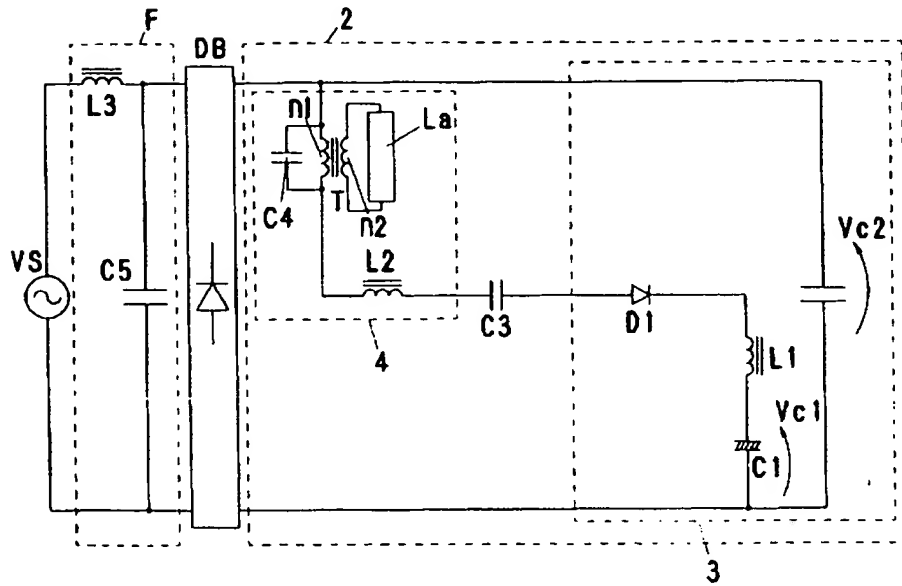
【図 23】



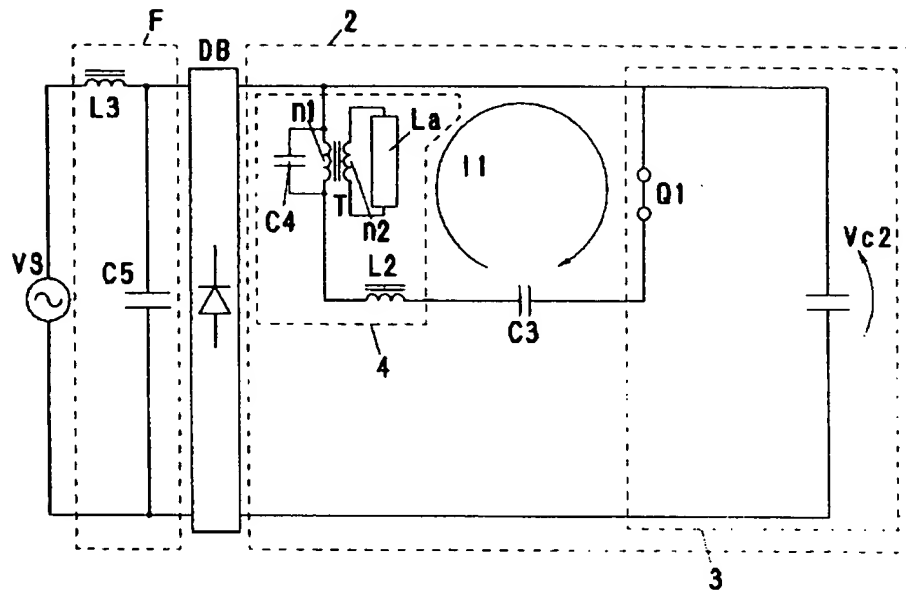
【図 2 4】



【図 2 5】



【図 2 6】





PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09154285 A**

(43) Date of publication of application: **10.06.97**

(51) Int. Cl

H02M 7/48
H02M 7/06
H02M 7/538
H05B 41/24

(21) Application number: 07310268

(22) Date of filing: 29.11.95

(71) Applicant: **MATSUSHITA ELECTRIC WORKS LTD**

(72) Inventor: KAMIIE TOSHIYA
HIRAMATSU AKINORI
MISHIMA MASANORI

(54) POWER SUPPLY DEVICE

approximately zero.

(57) Abstract:

COPYRIGHT: (C)1997,JPO

PROBLEM TO BE SOLVED: To provide a device, which can decrease voltage stress and current stress applied on an inverter circuit, can achieve a compact configuration of the device and cost reduction, can improve input power factor, can improve input current distortion and can suppress the inrush current when a power supply is turned on.

SOLUTION: This device has at least a through filling power supply circuit 3, which includes a smoothing capacitor C4 and fills the trough in the DC power output of a rectifier DB for rectifying an AC power supply Vs, a DC-component blocking capacitor C3, which cuts the DC component of power supplied to a load 4, and the series circuit of switching elements Q1 and Q2. In this case, an inverter circuit 2, which supplies high-frequency power to the load 4 by alternate on/off of the switching elements Q1 and Q2, is provided. During the period from the turn-on time of the AC power supply Vs to the starting of the oscillation of the inverter circuit 2, the amount of electric charge, which is charged into the DC-component blocking capacitor C3, is

